

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-180352

**(43)Date of publication of application : 13.08.1986**

(51)Int.Cl.

G06F 13/00  
G06F 15/16

(21)Application number : 59-281058

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.12.1984

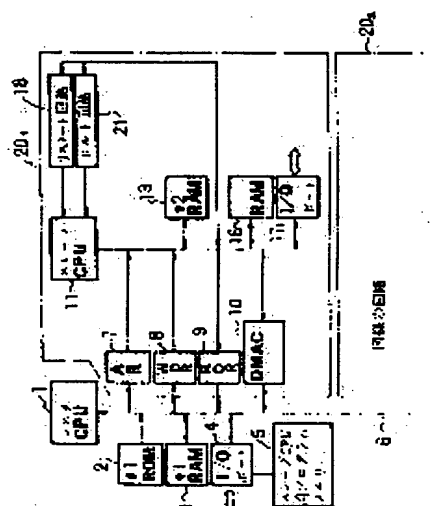
(72)Inventor : TSUBOI HIDEO

**(54) DOWN-LOADING SYSTEM FOR PROGRAM**

**(57)Abstract:**

**PURPOSE:** To omit a ROM which is under control of a slave processor S-CPU by providing a stop circuit which stops the actuation of the S-CPU during a down-loading process in a start mode.

**CONSTITUTION:** An S-CPU 11 in a slave device 201 is restarted immediately after it is reset by a restart circuit 18 when a power supply is applied and then keeps a halt state by a halt circuit 21. A master CPU 1 writes the programs stored in a program memory 5 on an address register 7 and a write data register 8 within the device 20, respectively. Then only the timing of a DMAC 10 produced under control of the CPU 1 is used to perform a down loading action to an RAM 13. A read data register 9 reads the down-loading data and returns it for confirmation at the CPU 1. Then the stop mode of the CPU 11 is released by the circuit 21 when the down-loading action is through. At the same time, the CPU 11 is restarted by the circuit 18.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-180352

⑬ Int.Cl.<sup>4</sup>

G 06 F 13/00  
15/16

識別記号

庁内整理番号

J-6549-5B  
Z-6619-5B

⑭ 公開 昭和61年(1986)8月13日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 プログラムダウンロード方式

⑯ 特 願 昭59-281058

⑰ 出 願 昭59(1984)12月30日

⑱ 発 明 者 坪 井 秀 夫 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 復代理人 弁理士 田坂 善重

明 細 書

1. 発明の名称 プログラムダウンロード方式

2. 特許請求の範囲

マスタプロセッサ(M-OPU)にその制御下のスレーブプロセッサ(S-OPU)用制御プログラムを格納しておき、そのリードオンリメモリ(ROM)の制御情報により、起動時各S-OPUのランダムアクセスメモリ(RAM)に対応する制御プログラムをダウンロードし、各S-OPUの制御を該RAMで行なうマルチOPUシステムにおいて、起動時ダウンロードの間S-OPUの動作を停止する停止回路を設けるとともに、S-OPUの制御下のROMを除去したことを特徴とするプログラムダウンロード方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はマスタプロセッサ(M-OPU)にスレーブプロセッサ(S-OPU)用制御プログラムを格納しておき、そのリードオンリメモリ(ROM)の制御

情報により、起動時各S-OPUのランダムアクセスメモリ(RAM)に対応する制御プログラムをダウンロードし、各S-OPUの制御を該RAMで行なうマルチOPUシステムの改良に関するものである。

(従来の技術)

従来、マスタOPU制御の装置と複数のスレーブOPU制御の装置より成るマルチOPUシステムが用いられている。第2図(a),(b)はこの種のシステムの構成の1例を示す。すなわち、マスタOPU1からアドレス、データのバス6を介し#1ROM2と#1RAM3が接続され、I/Oポート4を介してI/Oに接続される。また、I/Oポート4を介しスレーブOPU用プログラムメモリ5が接続される。マスタOPU1の制御で、#1ROM2の制御プログラムにより#1RAM3のアドレス、データを読出し、I/Oの機能を実行する外に、スレーブOPUの起動時には#1ROM2の制御プログラムによりスレーブOPU用プログラムメモリ5中の対応するプログラムを読出し、これをスレーブ装置20<sub>i</sub>、20<sub>j</sub>等の代表例として装置20<sub>i</sub>内のスレーブOPU11に転送する。

このダウンロードデータはスレーブOPU制御の装置201内のアドレスレジスタ(A/R)7とライトデータレジスタ(WDR)8に書き込み、これをアドレスデータバス19を介し、#2ROM12の制御プログラムに従い、直接メモリアクセス制御(DMAO)10を用いた転送により、#2RAM13にダウンロードされる。また、リードデータレジスタ(RDR)9はこの場合ダウンロードの読取りデータのチェックをするため返送するものである。次に、同図(b)にRAM13のダウンロードの前後の状態を示すように、#2ROM12と#2RAM13のアドレスが重複しないようなアドレス空間領域13<sub>2</sub>を選択するため、バンク構成回路15によりバンク切替えを行なつてマスタOPU1からのスレーブOPUプログラムをこのアドレス領域13<sub>2</sub>にダウンロードする。このダウンロードの間はスレーブOPU11と#2ROM12はDMAO10によるダウンロードの転送を行なうのみである。このダウンロードが完了すると、ROM/RAM切替回路14により#2ROM12を#2RAM13に切替えるとともに、バンク構成回路15により

と同じブートROMとRAMを有するため、第2図(a)に説明したように、RAMのアドレス領域をバンク構成としてアドレス空間を切替え、解除するためのバンク構成回路15と、ダウンロード完了後、ROMとRAMを切替えるための切替回路14を必要とし、さらにRAMのバンク構成を解除するため、スレーブOPU11を一旦リセットしてからリスタートする回路18の手順も必要である。このようにマスタOPUに格納されたスレーブOPU用制御プログラムを各スレーブOPUにダウンロードする場合の構成手順はかなり複雑なものとなる。

本発明者は、ダウンロードの間は前述のスレーブOPUとその属するROMは単にマスタOPUからの制御プログラムのDMAOによる転送のみに関与しているから、もしこの転送をマスタOPUで制御してやれば、スレーブOPUのダウンロード時の構成、手順は格段に簡単化できることに着目したものである。

本発明の目的は、マスタOPUからスレーブOPU用制御プログラムをスレーブOPUへダウンロード

バンク構成を解除し、リスタート回路18を動作させ、スレーブOPU11を一旦リセットした後リスタートさせる。これは#2RAM13のバンク構成の解除、復旧を誤りなく行なうためである。このスレーブOPU11のリスタート後は、#2ROM12は除外され、#2RAM13にダウンロードされたスレーブOPU用制御プログラムが読出され、一方I/Oの固有のメカ動作等のアドレス、データがRAM16から読出され、I/Oポート17を介してI/Oに送られ所定動作が実行される。すなわち、従来例では、ダウンロードはマスタOPU1とスレーブOPU11の間で#2ROM12が関与して行なわれ、ダウンロード後に#2RAM13に切替えられる。

(発明が解決しようとする問題点)

以上の構成によると、マスタOPU1に属するブートROM2の制御プログラムにより各スレーブOPU用の制御プログラムを、データとして各スレーブOPUに属するRAMにダウンロードすることにより、マルチOPUの一元的制御を行なっている。しかし、各スレーブOPUはそれぞれマスタOPU

する場合、該スレーブOPUに関連する構成、制御を簡便化したプログラムダウンロード方式を提供することにある。

(問題点を解決するための手段)

前記目的を達成するため、本発明のプログラムダウンロード方式はマスタプロセッサ(M-OPU)にその制御下のスレーブプロセッサ(S-OPU)用制御プログラムを格納しておき、そのリードオンリメモリ(ROM)の制御情報により、起動時各S-OPUのランダムアクセスメモリ(RAM)に対応する制御プログラムをダウンロードし、各S-OPUの制御を該RAMで行なうマルチOPUシステムにおいて、起動時ダウンロードの間S-OPUの動作を停止する停止回路を設けるとともに、S-OPUの制御下のROMを除去したことを特徴とするものである。

(作用)

上記の構成により、ダウンロードの期間において、マスタOPUからの制御プログラムの転送をマスタOPUで制御し、通常のDMAOと異なりそのタ

タイミングのみを利用して転送を行なうことにより、スレーブCPUをその期間中停止させるものであり、かつその属するROMを省略することができるものである。これに伴なりバンク構成回路やROM/RAM切替回路等の構成も不要となり、構成、手順が格段に簡単化される。

#### 〔実施例〕

第1図(a),(b)は本発明の実施例の構成説明図である。

同図において、第2図(a),(b)と異なる点は、#2ROM12とバンク構成回路15とROM/RAM切替回路14とを除去するとともに、スレーブCPU11を停止させるホルト回路21を別に設けたことである。さらに、DMA010はプログラムダウンロード時のスレーブCPU11は停止中であるからタイミングのみを用いマスタCPUの制御のみにより転送を行なう。

すなわち、スレーブ装置20<sub>1</sub>、20<sub>2</sub>等の代表例として装置20<sub>1</sub>内のスレーブCPU11は、電源投入時リスタート回路18によりリセット後直ちにリスタート

ならず、これに関与する構成、手順の無いことを明らかに示している。

#### 〔発明の効果〕

以上説明したように、本発明によれば、ダウンロード期間中はスレーブCPUは停止され、その転送、確認の制御はマスタCPUで行なわれ、かつスレーブCPUに属するROMおよびダウンロード関連の従来のRAMのバンク構成回路や、ROM/RAM切替回路等が省略され、手順も格段に省略される。また、その結果ダウンロードに関連する手順が非常に簡単化されるから時間が短縮され、マルチCPUシステムの効率化に役立つところが大きいものである。

#### 4. 図面の簡単な説明

第1図(a),(b)は本発明の実施例の構成説明図と要部の説明図、第2図(a),(b)は従来例の構成説明図と要部の説明図であり、図中、1はマスタCPU、2は#1ROM、3は#1RAM、4はI/Oポート、5はスレーブCPU用プログラムメモリ、6はアドレス、データバス、7はアドレスレジスタ、8はラ

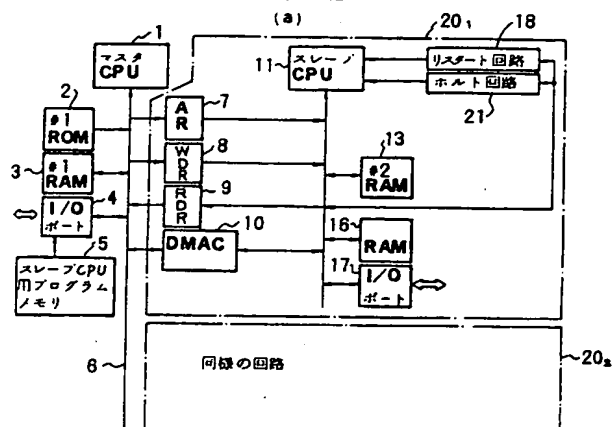
イトし、さらにホルト回路21により停止状態を維持する。マスタCPU1は#1ROM2により、スレーブCPU用プログラムメモリ5内のプログラムをホルト状態のスレーブCPU11の装置20<sub>1</sub>内のアドレスレジスタ(AR)7とライトデータレジスタ(WDR)8に書き込み、マスタCPU1制御によるDMA010のタイミングのみを用いて#2RAM13にダウンロードする。リードデータレジスタ(RDR)9はダウンロードデータを読取りマスタCPU1で確認するため返送する。これもマスタCPU1の制御で行なわれる。そして、ダウンロードの完了時点でホルト回路21によりスレーブCPU11の停止解除を行ない、同時にリスタート回路18によりリスタートを行なう。このリスタートにより#2RAM13からダウンロードされたスレーブCPU11用のプログラムを読出し、RAM16よりI/O機能用アドレス、データを読出し、I/Oポート17を介しI/Oに送り実行する。

同図(b)は第2図(b)に対比して示すダウンロード前後のRAM13の状態である。状態は全く変化して

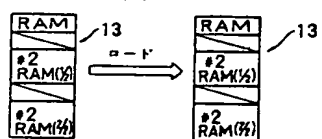
イトデータレジスタ、9はリードデータレジスタ、10は直接メモリアクセス制御(DMAC)、11はスレーブCPU、13は#2RAM、16はRAM、17はI/Oポート、18はリスタート回路、21はホルト回路を示す。

特許出願人 富士通株式会社  
復代理人 弁理士 田坂善重

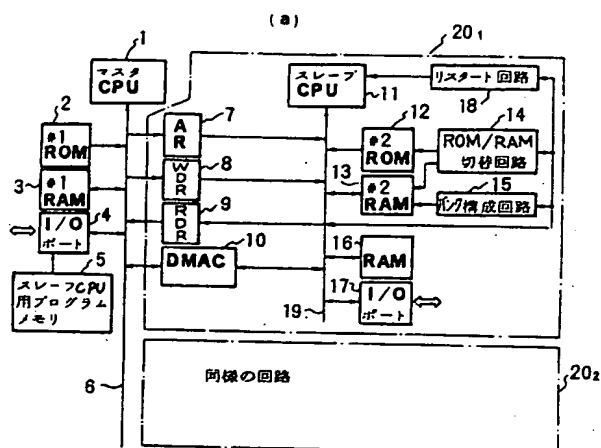
第 1 図



(b)



第 2 図



(b)

